



PTO UTILITY GRANT

Paper Number 9

**The Commissioner of Patents
and Trademarks**

Has received an application for a patent for a new and useful invention. The title and description of the invention are enclosed. The requirements of law have been complied with, and it has been determined that a patent on the invention shall be granted under the law.

Therefore, this

United States Patent

Grants to the person(s) having title to this patent the right to exclude others from making, using, offering for sale, or selling the invention throughout the United States of America or importing the invention into the United States of America for the term set forth below, subject to the payment of maintenance fees as provided by law.

If this application was filed prior to June 8, 1995, the term of this patent is the longer of seventeen years from the date of grant of this patent or twenty years from the earliest effective U.S. filing date of the application, subject to any statutory extension.

If this application was filed on or after June 8, 1995, the term of this patent is twenty years from the U.S. filing date, subject to an statutory extension. If the application contains a specific reference to an earlier filed application or applications under 35 U.S.C. 120, 121 or 365(c), the term of the patent is twenty years from the date on which the earliest application was filed, subject to any statutory extension.

Bruce Lehman
Commissioner of Patents and Trademarks

Oliver M. Arson
Attest

The
United
States
of
America



Form PTO-1584 (Rev. 2/87)

FPI-LOM

(RIGHT INSIDE)



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1996年 4月22日

出 願 番 号

Application Number:

平成 8年特許願第100073号

出 願 人

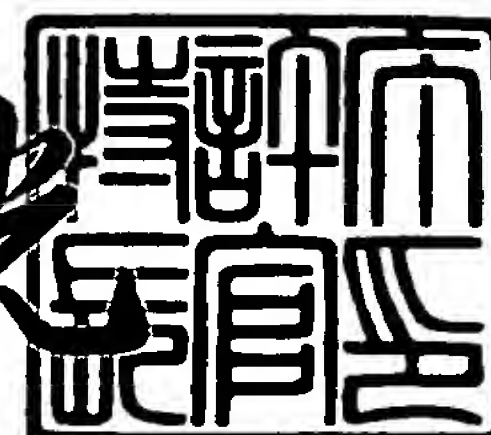
Applicant (s):

シャープ株式会社

1997年 2月21日

特許庁長官
Commissioner,
Patent Office

荒井寿光



【書類名】 特許願

【整理番号】 96-00545

【提出日】 平成 8年 4月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 液晶表示装置、およびその駆動方法

【請求項の数】 8

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 田中 信也

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 島田 尚幸

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 越智 貴志

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 金森 謙

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 片山 幹雄

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代表者】 辻 晴雄

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003083

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置、およびその駆動方法

【特許請求の範囲】

【請求項1】 基板上に、走査信号が順次印加される走査配線とデータ信号が順次印加される信号配線とが直交して形成されるとともに、前記走査配線と信号配線との各々の交差部近傍には両配線に電氣的に接続されたスイッチング素子が設けられ、各スイッチング素子には画素電極が接続され、この画素電極に液晶を介して共通電極が対向配置されている液晶表示装置において、

走査信号の走査開始側または走査終了側に位置する最端部の走査配線の外側には、ダミー走査配線が形成されていることを特徴とする液晶表示装置。

【請求項2】 前記ダミー走査配線は、画素電極を挟んで他の走査配線間と等ピッチになるように形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記スイッチング素子、走査配線、信号配線の上部に層間絶縁膜が設けられ、この層間絶縁膜の上に画素電極が形成され、この画素電極が層間絶縁膜を介して前記ダミー走査配線および隣接する画素に対応する走査配線に重なる構造となっていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 請求項1ないし請求項3のいずれかに記載の液晶表示装置の前記ダミー走査配線に対して信号を入力することを特徴とする液晶表示装置の駆動方法。

【請求項5】 前記ダミー走査配線に入力される信号は、このダミー走査配線に対して固有に発生される走査信号であることを特徴とする請求項4記載の液晶表示装置の駆動方法。

【請求項6】 前記ダミー走査配線に入力される信号は、最終段もしくは最前線の走査配線に入力される走査信号であることを特徴とする請求項4記載の液晶表示装置の駆動方法。

【請求項7】 前記ダミー走査配線に入力される信号は、前記共通電極に印加されるのと同じコモン信号であることを特徴とする請求項4記載の液晶表示装置の駆動方法。

【請求項 8】 前記ダミー走査配線に入力される信号は、スイッチング素子をオンしない程度のレベルをもつ走査信号であることを特徴とする請求項 4 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタなどのスイッチング素子をマトリックス状に配置してなるアクティブマトリックス型の液晶表示装置に関する。

【0002】

【従来の技術】

従来のこの種のアクティブマトリックス型の液晶表示装置の構成を、図 9 ないし図 13 に示す。

【0003】

この液晶表示装置は、上下一対の透明なガラス基板 1 a, 1 b の間に液晶 2 が封入されている。

【0004】

一方(ここでは下側)のガラス基板 1 a 上には、走査駆動回路 K から与えられる走査信号が順次印加される透明な導電膜からなる走査配線 3₁, 3₂, ... と、データ駆動回路 L から与えられるデータ信号が順次印加される透明な導電膜からなる信号配線 4₁, 4₂, ... とが直交配置して形成され、走査配線 3₁, 3₂, ... と信号配線 4₁, 4₂, ... との各々の交差部近傍にはスイッチング素子である薄膜トランジスタ(以下、TFT という) 5 が設けられ、各 TFT 5 には透明な画素電極 6 が接続されている。

【0005】

他方(ここでは上側)のガラス基板 1 b 上には、透明な導電膜からなる共通電極 7 とカラーフィルタ 8 とが設けられ、共通電極 7 にはコモン信号が印加される共通配線 9 が接続されている。そして、上記の画素電極 6 と共通電極 7 とによって、液晶容量 C_{LC} を確保するためのコンデンサ 12 が構成されている。また、カラーフィルタ 8 は、R, G, B の 3 原色からなり、各画素電極 6 に対応して配置さ

れている。さらに、各ガラス基板 1 a, 1 b の外方には偏光板(図示せず)が設けられている。

【0006】

TFT 5 は、そのゲート電極 5 g が各走査配線 $3_1, 3_2, \dots$ に、ソース電極 5 s が信号配線 $4_1, 4_2, \dots$ に、ドレイン電極 5 d が画素電極 6 にそれぞれ接続されている。

【0007】

さらに、画素電極 6 の下方には、透明な導電膜からなる付加容量配線 10 が形成され、この付加容量配線 10 が上記の共通配線 9 に接続されている。そして、液晶 2 の保持動作を改善して高画質化を図る観点から、上記の画素電極 6 と付加容量配線 10 とによって付加容量 Cs を確保するためのコンデンサ 13 が構成されている。

【0008】

この構成において、走査駆動回路 K によって、本例では走査配線 $3_1, 3_2, \dots$ の上から下に向けて順次走査信号が入力されると、この走査信号入力によって 1 行分の各 TFT 5 のゲートが同時にオンし、データ駆動回路 L によって信号配線 $4_1, 4_2, \dots$ から表示用のデータ信号が 1 画素ごとに入力されることで、このデータ信号が画素電極 6 に印加され、この画素電極 6 と共通電極 7 との電位差によって液晶 2 の透過率が変化される。

【0009】

その場合、液晶 2 に直流電圧が長時間にわたって印加され続けると、その保持特性が劣化するため、信号配線 $4_1, 4_2, \dots$ に入力されるデータ信号の極性を、たとえば 1 水平期間ごとに反転するなどして、画素電極 6 には正と負の電圧が交互に加わるように、いわゆる交流駆動が行われる。

【0010】

なお、20 はゲート絶縁膜、22, 23 はアモルファス Si の i 層と n^+ 層である。

【0011】

ところで、一般に、導電膜を平行に配置したり、導電膜を絶縁膜を介して上下

に配置した場合には、その間に寄生容量が発生する。

【0012】

すなわち、1画素について、理想状態では、図12に示すように、画素電極6と共通電極7との間の液晶容量 C_{LC} 、および画素電極6と付加容量配線10との間の付加容量 C_s が存在するのみである。

【0013】

しかし、いま、たとえば2行1列目の一つの画素(上から2段目の走査配線 3_2 にTFT5のゲートが、左から1段目の信号配線 4_1 にTFT5のソースがそれぞれ接続されている画素)に着目したとき、この画素については、図10から分かるように、画素電極6の周りが上下の走査配線 3_1 、 3_2 と左右の信号配線 4_1 、 4_2 とによって枠状に囲まれているため、図13に示すように、画素電極6と各配線 3_1 、 3_2 、 4_1 、 4_2 間でそれぞれ寄生容量 C_{sd1} 、 C_{sd2} 、 C_{gd1} 、 C_{gd2} が生じる。

【0014】

したがって、この場合の寄生容量比 α は、次式で与えられる。

【0015】

$$\alpha = \Delta C / (C_{LC} + C_s + \Delta C) \quad \text{①}$$

ただし、 $\Delta C = C_{gd1} + C_{gd2}$

上記のように液晶2を交流駆動する場合に、このような寄生容量比 α は、画素電極6に印加される電圧の変動分 ΔV に影響し、この電圧変動分 ΔV は直流成分を生じることになって保持特性が劣化するため、従来より、各階調ごとに寄生容量比 α に応じた最適化を行って、直流成分が生じないようにしている。

【0016】

【発明が解決しようとする課題】

ところで、上述の各画素に寄生容量 α が発生する場合の説明は、上から2段目の走査配線 3_2 にTFT5が接続された一つの画素に関してであったが、次に、走査信号の走査が開始される最上段の走査配線 3_1 にTFT5が接続された一つの画素に着目すると、その画素を構成する画素電極6の上方には走査配線 3_1 、 3_2 、…が存在しないので、寄生容量 C_{gd2} が発生しない。したがって、この場合

の寄生容量比 α' は、次式となる。

【0017】

$$\alpha' = \Delta C' / (C_{LC} + C_s + \Delta C') \quad \textcircled{2}$$

ただし、 $\Delta C' = C_{gd1}$

つまり、2段目以降の各走査配線 $3_2, 3_3, \dots$ に対応する各画素に関しては、全て上下の対称性があるので①式の寄生容量比 α となるが、最上段の走査配線 3_1 に対応する画素に関しては、上下の対称性がないので、②式の寄生容量比 α' となり、寄生容量比 α, α' の値が異なっている。

【0018】

上述のように、2段目以降の各走査配線 $3_2, 3_3, \dots$ に対応する各画素に関しては、寄生容量比 α の影響を低減するために最適化を行って液晶2に直流成分が加わらないようにしているが、最上段の走査配線 3_1 に対応する画素に関しては、寄生容量比 α' が他の画素部分と異なるために、画素電極6に印加される電圧の変動分 ΔV を解消することができず、そのため、初段の走査配線 3_1 に対応する画素の液晶2には、特異的に微小な直流成分が加わることになる。そして、このような直流成分が加わると、時間経過とともに液晶2の保持特性が次第に劣化し、その結果、最上段の走査配線 3_1 に対応する1ライン分の各画素が、たとえばノーマリホワイト形の液晶2では中間調において輝線化し、ノーマリブラック形の液晶2では中間調において黒線化するなど(以下、これらの現象を総称して輝線化等という)、表示品位を損なうという問題が生じる。この現象は、特に、高温の下で通電動作をさせた時により顕著に発生する。

【0019】

本発明は、上記の問題点に鑑みてなされたもので、アクティブマトリックス型の液晶表示装置において、各画素について生じる寄生容量がいずれの位置でも均等に確保されるようにして、特定部分の画素が輝線化等するなどして表示品位を損なうといった不都合が生じないようにすることを課題とする。

【0020】

【課題を解決するための手段】

本発明は、上記の課題を解決するため、基板上に走査信号が順次印加される走

査配線とデータ信号が順次印加される信号配線とが直交配置して形成され、前記走査配線と信号配線との各々の交差部近傍にはスイッチング素子が設けられ、各スイッチング素子には画素電極が接続され、この画素電極に液晶を介して共通電極が対向配置された液晶表示装置において、次の構成を採用している。

【0021】

すなわち、請求項1記載に係る発明では、走査配線の外側には、ダミー走査配線が配置されている。

【0022】

請求項2記載に係る発明では、請求項1記載の構成において、走査信号の走査開始側または走査終了側に位置する最端部のダミー走査配線は、画素電極を挟んで他の走査配線間と等ピッチになるように形成されている。

【0023】

請求項3記載に係る発明では、請求項1記載の構成において、スイッチング素子、走査配線、信号配線の上に層間絶縁膜が設けられ、この層間絶縁膜の上に画素電極が形成され、この画素電極が層間絶縁膜を介してダミー走査配線および隣接する画素に対応する走査配線に重なる構造となっている。

【0024】

請求項4記載に係る発明では、請求項1ないし請求項3記載のいずれかの構成の液晶表示装置のダミー走査配線に対して所定の電圧レベルと極性とを有する信号を入力することを特徴としている。

【0025】

請求項5記載に係る発明では、請求項4記載の構成において、ダミー走査配線に入力される信号は、このダミー走査配線に対して固有に発生される走査信号であることを特徴としている。

【0026】

請求項6記載に係る発明では、請求項4記載の構成において、ダミー走査配線に入力される信号は、最終段の走査配線に入力される走査信号であることを特徴としている。

【0027】

請求項7記載に係る発明では、請求項4記載の構成において、ダミー走査配線に入力される信号は、前記共通電極に印加されるのと同じコモン信号であることを特徴としている。

【0028】

請求項8記載に係る発明では、請求項4記載の構成において、ダミー走査配線に入力される信号は、スイッチング素子をオンしない程度のレベルをもつ走査信号であることを特徴としている。

【0029】

請求項1記載および請求項2記載の構成によれば、ダミー走査配線を設けることで各画素について生じる寄生容量がいずれの位置でも均等に生じるようになるので、従来のように、特定部分の画素が輝線化等するなどして表示品位を損なう等の不都合が低減される。

【0030】

請求項3の構成によれば、請求項1の効果に加えて、開口率を高くするとともに液晶の配向不良を抑制することができるので、高い信頼性の液晶表示装置を実現することができる。

【0031】

請求項4ないし請求項8記載の構成によれば、ダミー走査配線を単に設けるだけでなく、このダミー走査配線に信号を入力するので、走査信号の走査開始側に位置する最端部の走査配線と、他の走査配線との上下の対称性がより均等化されることになり、一層、高い表示品位を確保することができる。

【0032】

これによって、TFT通電動作時の初段の走査配線に対応する画素の液晶保持特性の劣化に起因する輝線化等の現象を低減することができるので、高い表示品位を確保することができる。

【0033】

【発明の実施の形態】

実施形態1

図1は、この実施形態1に係るアクティブマトリックス型の液晶表示装置の構成を示す回路図であり、図9に示した従来例に対応する部分には、同一の符号を付す。

【0034】

この実施形態1の特徴は、走査信号の走査開始側に位置する最端部の走査配線（本例では最上段の走査配線） 3_1 の外側には、この走査配線 3_1 に対して、これに平行で、かつ、この走査配線 3_1 に接続されたTFT5に連なる画素電極6を挟んで対向配置された状態で容量形成用のダミー走査配線 3_0 が形成されていることである。

【0035】

この構成により、最上段の走査配線 3_1 に接続されたTFT5に連なる画素電極6は、この走査配線 3_1 とダミー走査配線 3_0 とによって上下に挟まれた状態となる。その結果、全ての画素は幾何学的に上下の対称性が保たれるようになるので、全ての画素に関する寄生容量比は、前記①式で与えられる値 α となり、従来のような寄生容量比の差がなくなる。

【0036】

さらに、この実施形態1では、図2に示すように、走査駆動回路Kによって、走査配線 3_1 、 3_2 、…に入力される通常の走査信号 G_1 、 G_2 、 G_3 、…と同じ波形で、かつ各走査信号 G_1 、 G_2 、 G_3 、…と同じ時間差 ΔT をもつ走査信号 G_0 を新たに作成し、この走査信号 G_0 を最上段の走査配線 3_1 に加わる走査信号 G_1 の出力タイミングの前にダミー走査配線 3_0 に入力するようにする。

【0037】

このようにすれば、寄生容量比 α に合わせて事前に最適化が図られておれば、最上段の走査配線 3_1 で駆動される画素は、他の走査配線 3_2 、 3_3 、…で駆動される画素と全く同じ条件になるため、従来のように、たとえばノーマリホワイト形の場合に最上段の1ライン分の画素が輝線化等するといった現象を全くなくすることができる。

【0038】

なお、この実施形態1では、最上段の走査配線 3_1 から走査信号の走査が開始

されるようになっているが、最下段の走査配線 3_i から走査が開始される構成の装置では、最上の走査配線 3_1 は走査信号の走査終了側に位置する最端部の走査配線となる。

【0039】

図8は、温度 60°C の下で連続通電を行って、最上段の走査配線 3_1 に対応する1ライン分の画素について、6時間後(図中、黒の棒グラフで示す)、および240時間後(図中、白の棒グラフで示す)の中間調における輝線化発生率(相対値)を調べた結果である。

【0040】

ここでは、ダミー走査配線 3_0 を設けた状態で、このダミー走査配線 3_0 には何ら信号を入力せずに他の走査配線 $3_1, 3_2, \dots$ に走査信号 G_1, G_2, \dots を連続的に入力して6時間を経過した後の輝線化発生率を基準値 $= 100$ とし、また、6時間後の結果を黒の棒グラフで、240時間後の結果を白の棒グラフでそれぞれ示している。

【0041】

図中、符号(A)は、この実施形態1のように、ダミー走査配線 3_0 に固有の走査信号 G_0 を入力した場合の結果を、符号(D)は、ダミー走査配線 3_0 を設けた状態で、このダミー走査配線 3_0 には何ら信号を入力しない場合の結果をそれぞれ示している。ダミー走査配線 3_0 に固有の走査信号 G_0 (図2参照)を入力した場合には、ダミー走査配線 3_0 には何ら信号を入力しない場合に比べて最上段のラインのみが輝線化する現象が全くなることが理解される。

【0042】

なお、図8には記載していないが、ダミー走査配線 3_0 を何ら設けない場合には、寄生容量比に差が生じるので、当然のことながら、輝線化発生率は、(D)の場合に比べてはるかに大きくなる。したがって、ダミー走査配線 3_0 に信号を入力しなくても、単にダミー走査配線 3_0 を設けただけでも、輝線化発生率をある程度低減する効果は得られる。

【0043】

実施形態2

図3は、この実施形態2に係るアクティブマトリックス型の液晶表示装置の構成を示す回路図である。

【0044】

この実施形態2では、実施形態1と同様に、走査信号の走査開始側に位置する最上段の走査配線 3_1 の外側には、この走査配線 3_1 に接続されたTFT5に連なる画素電極6を挟む状態で容量形成用のダミー走査配線 3_0 が形成されており、しかも、実施形態1と異なるのは、このダミー走査配線 3_0 が最下段の走査配線 3_i に結合配線14を介して接続されていることである。

【0045】

したがって、この構成においては、図4に示すように、最下段の走査配線 3_i に入力される走査信号 G_i が結合配線14を介してダミー走査配線 3_0 にそのまま入力される。

【0046】

この構成にすれば、実施形態1のように、走査駆動回路Kを一部変更してダミー走査配線 3_0 に固有の走査信号 G_0 を新たに生成するようにしなくても、既存の走査信号 G_i を利用でき、しかも、この走査信号 G_i は、最上段の走査配線 3_1 に加わる走査信号 G_1 の出力タイミングとのずれが最も小さくなるので、最上段の走査配線 3_1 で駆動される画素は、他の走査配線 $3_2, 3_3, \dots$ で駆動される画素と略同じ条件になり、この1ライン分の画素の輝線化等の現象を十分に抑えることができる。

【0047】

この実施形態2のように、最下段の走査配線 3_i に加わる走査信号 G_i をダミー走査配線 3_0 に入力した場合は、図8(A)に示すように、最上段のラインのみが輝線化する現象が全くなることが理解される。

【0048】

実施形態3

図5は、この実施形態3に係るアクティブマトリックス型の液晶表示装置の構成を示す回路図である。

【0049】

この実施形態3では、実施形態1と同様に、走査信号の走査開始側に位置する最上段の走査配線 3_1 の外側に、この走査配線 3_1 に接続されたTFT5に連なる画素電極6を挟む状態で容量形成用のダミー走査配線 3_0 が形成されており、しかも、実施形態1と異なるのは、このダミー走査配線 3_0 が共通配線9に結合配線15を介して接続されていることである。

【0050】

したがって、この構成においては、図6に示すように、共通配線9に印加されるコモン信号Vcomが結合配線15を介してダミー走査配線 3_0 にそのまま入力される。すなわち、液晶2を交流駆動するために、共通電極7および付加容量配線10には、共通配線9を介して1水平期間(1H)ごとにレベル反転するコモン信号Vcomが入力されているので、このコモン信号Vcomを同時にダミー走査配線 3_0 に入力するようにしている。

【0051】

この実施形態3の場合は、既存のコモン信号Vcomを利用でき、しかも、ダミー走査配線 3_0 にコモン信号Vcom(図6参照)を入力した場合の輝線化発生率は、図8(C)に示すようになり、ダミー走査配線 3_0 に何ら信号を入力しない場合(同図(D))の結果に比べて、輝線化発生率は、約1/2に抑えることができる。

【0052】

実施形態4

図1に示した回路構成において、ダミー走査配線 3_0 に対して、図7に示すように、TFT5をオンしない程度のローレベル(たとえば、 $-7.5\text{V} \sim -2.5\text{V}$ の範囲)をもつ走査信号 G_0 を入力することもできる。

【0053】

この実施形態4のように、ダミー走査配線 3_0 にローレベルの走査信号 G_0 を入力した場合の輝線化発生率は、図8(B)に示すようになり、ダミー走査配線 3_0 に何ら信号を入力しない場合(同図(D))の結果に比べて、輝線化発生率は、約1/2に抑えることができる。

【0054】

実施形態5

また、各走査配線 3_1 、 3_2 、…に入力される走査信号の内の一つ、たとえば2段目の走査配線 3_2 に入力される走査信号 G_2 をダミー走査配線 3_0 に入力することもできる。

【0055】

この実施形態5のように、ダミー走査配線 3_0 に2段目の走査配線 3_2 に入力される走査信号 G_2 を入力した場合にも、図8(A)に示すように、最上段のラインのみが輝線化する現象が全くなくなることが理解される。

【0056】

ところで、本出願人は、走査配線 3_1 、 3_2 、…および信号配線 4_1 、 4_2 、…の上に層間絶縁膜を、この層間絶縁膜の上に画素電極6を順次形成して、画素電極6が各配線 3_1 、 3_2 、…、 4_1 、 4_2 、…と重なる構造とすることによって、開口率を高くするとともに液晶の配向不良を抑制して一層品質を高めた液晶表示装置を提供した(たとえば、特願平7-206367号参照)。

【0057】

その場合には、層間絶縁膜を用いない場合と比較して、画素と隣接する走査配線 3_1 、 3_2 、…との間の寄生容量が2倍程度に増加して、最上段の走査配線 3_1 の輝線化等の現象が一層顕著になる傾向がある。その対策として、本発明のように、最上段の走査配線 3_1 に並列してダミー走査配線 3_0 を設け、画素電極が層間絶縁膜を介してこのダミー走査配線とも重なる構造とすれば、同様に輝線化等の不都合を確実に抑えることができる。

【0058】

なお、ダミー走査配線 3_0 を設ける代わりに、最上段の走査配線 3_1 に対応する1ラインの画素を遮光パターンによって隠して表示には寄与しない構成とすることも考えられるが、そのまま通電動作を長期間継続していると、1ライン目の輝線化が2ライン目へと次第に広がることがあるので、適切な対応策とは言えない。本発明のように、ダミー走査配線 3_0 を設けておけば、最上段のラインが輝線化等する現象をなくすことができるので、1ライン目を遮光した構成とする場合

でも効果がある。

【0059】

また、本例では、最上段の走査配線 3_1 の外側にダミー走査配線 3_0 を設けているが、これとは逆に、走査信号の走査開始側に位置する最端部の走査配線が最下段の走査配線である場合には、その最下段の走査配線 3_i の外側にダミー走査配線 3_{i+1} を設ければよい。

【0060】

【発明の効果】

本発明の液晶表示装置は、次の効果を奏する。

【0061】

(1) 請求項1記載および請求項2記載の構成よれば、ダミー走査配線を設けることで各画素について生じる寄生容量がいずれの位置でも均等に生じるようになるので、従来のように、特定部分の画素が輝線化等するなどして表示品位を損なう等の不都合を低減することができる。

【0062】

(2) 請求項3の構成によれば、請求項1の効果に加えて、開口率を高くするとともに液晶の配向不良を抑制することができるので、高い信頼性の液晶表示装置を実現することができる。

【0063】

(3) 請求項4ないし請求項8記載の構成によれば、ダミー走査配線を単に設けるだけでなく、このダミー走査配線に信号を入力するので、走査信号の走査開始側に位置する最端部の走査配線と、他の走査配線との上下の対称性がより均等化されることになり、請求項1の場合よりも一層、高い表示品位を確保することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態1に係る液晶表示装置の構成を示す回路図である。

【図2】

図1の装置のダミー走査配線および走査配線に入力される各信号のタイミング

チャートである。

【図 3】

本発明の実施形態 2 に係る液晶表示装置の構成を示す回路図である。

【図 4】

図 2 の装置のダミー走査配線および走査配線に入力される走査信号のタイミングチャートである。

【図 5】

本発明の実施形態 3 に係る液晶表示装置の構成を示す回路図である。

【図 6】

図 5 の装置のダミー走査配線に入力されるコモン信号のタイミングチャートである。

【図 7】

図 1 の装置のダミー走査配線に入力される他の形態の信号のタイミングチャートである。

【図 8】

各実施形態の下で、輝線化発生率を調べた結果を示すグラフである。

【図 9】

従来の液晶表示装置の構成を示す回路図である。

【図 10】

図 9 の液晶表示装置における表示基板上の 1 画素の部分の構成を示す平面図である。

【図 11】

図 10 の A-A 線に沿う断面図である。

【図 12】

図 9 の液晶表示装置において、1 画素の部分における理想状態で生じる容量の等価回路図である。

【図 13】

図 9 の液晶表示装置において、1 画素の部分における実際の状態で生じる容量の等価回路図である。

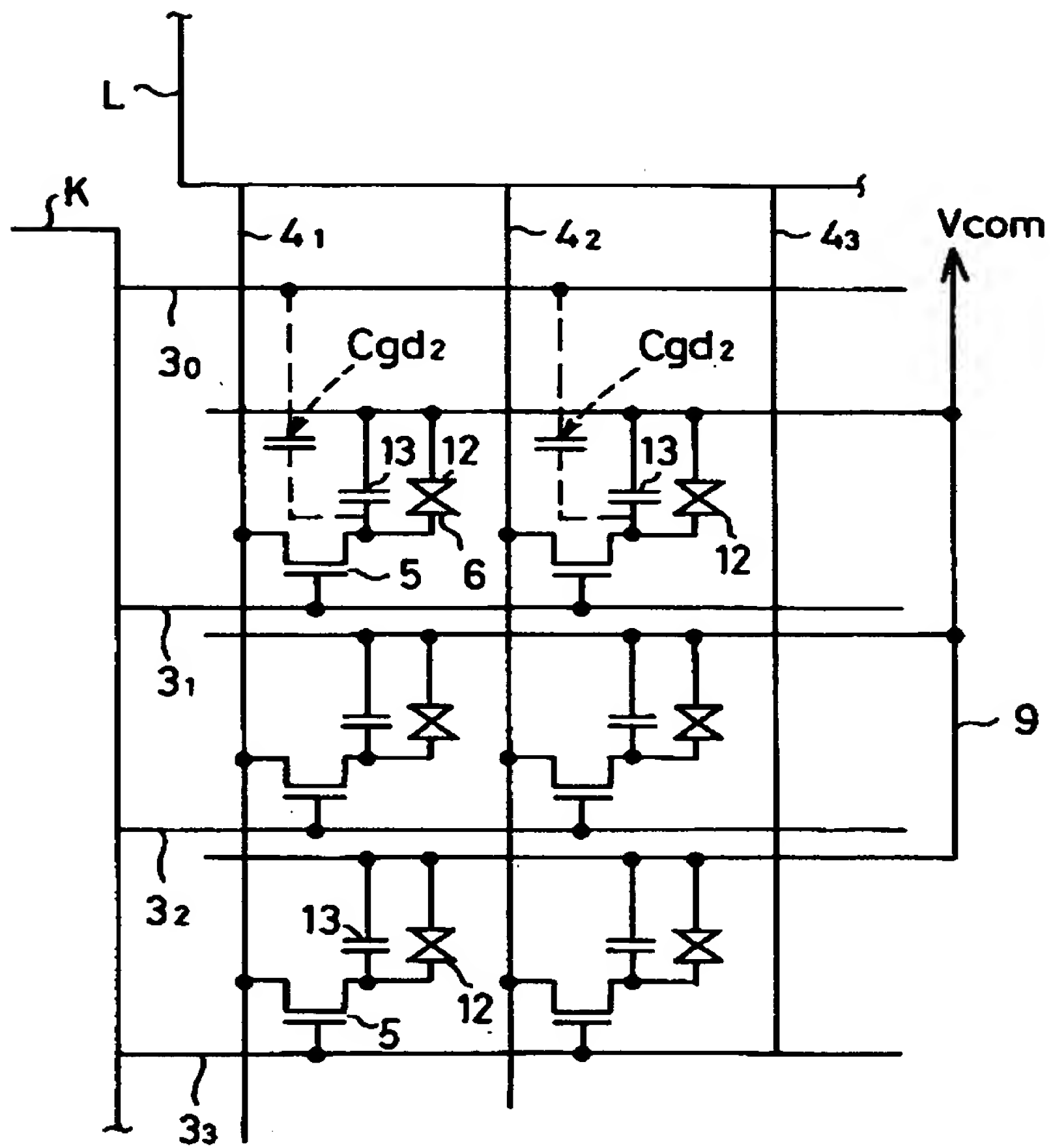
【符号の説明】

1…基板、2…液晶、 3_0 …ダミー走査配線、 3_1 、 3_2 、 3_3 …走査配線、 4_1 、 4_2 、 4_3 …信号配線、5…TFT(スイッチング素子)、6…画素電極、7…共通電極、9…共通配線、10…付加容量配線。

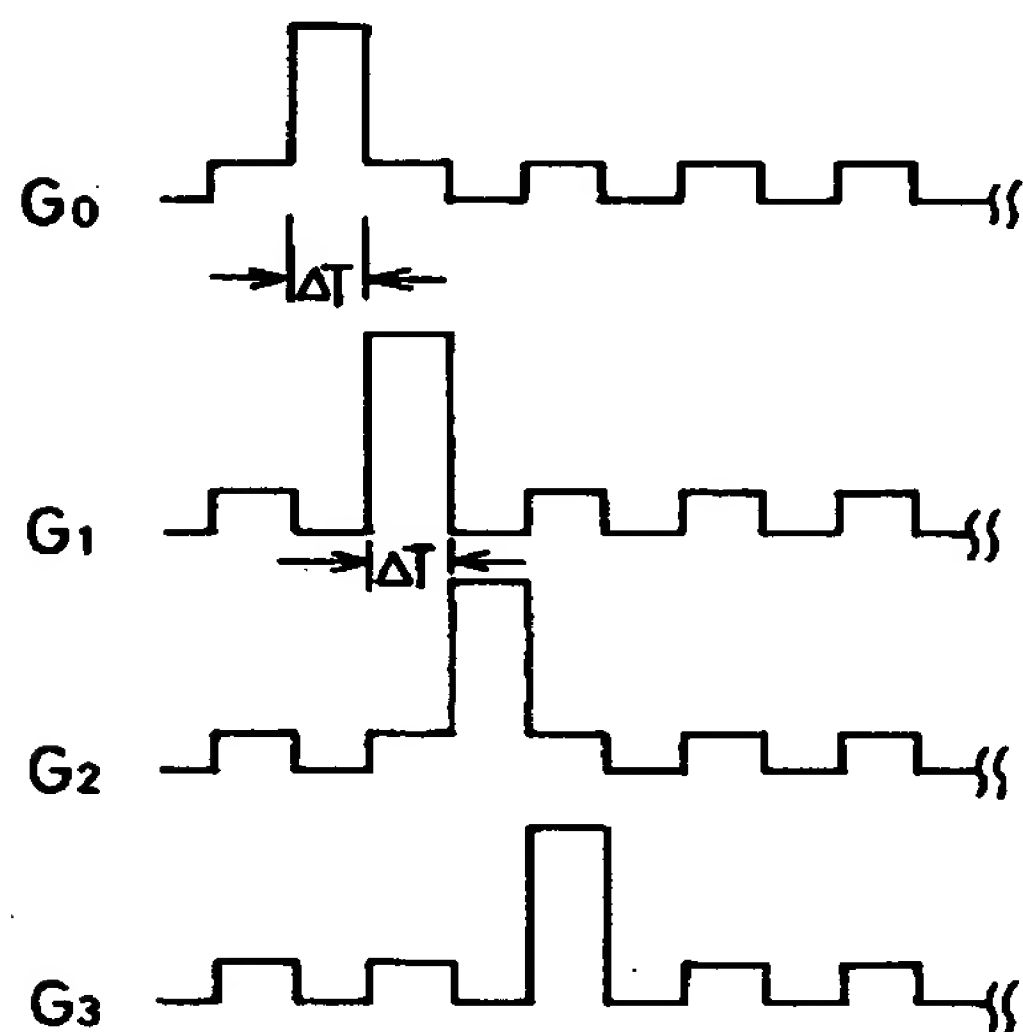
【書類名】

図面

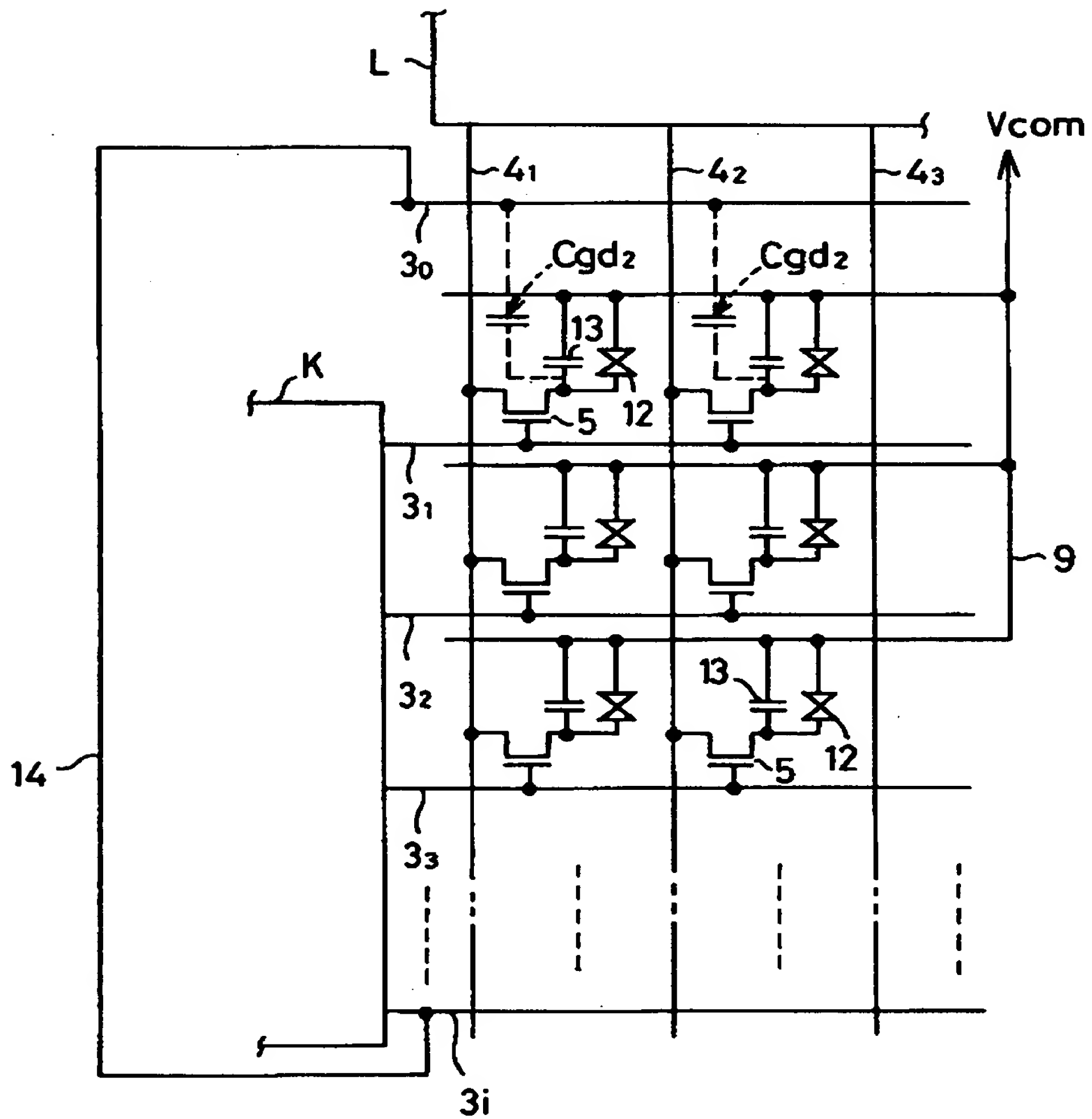
【図 1】



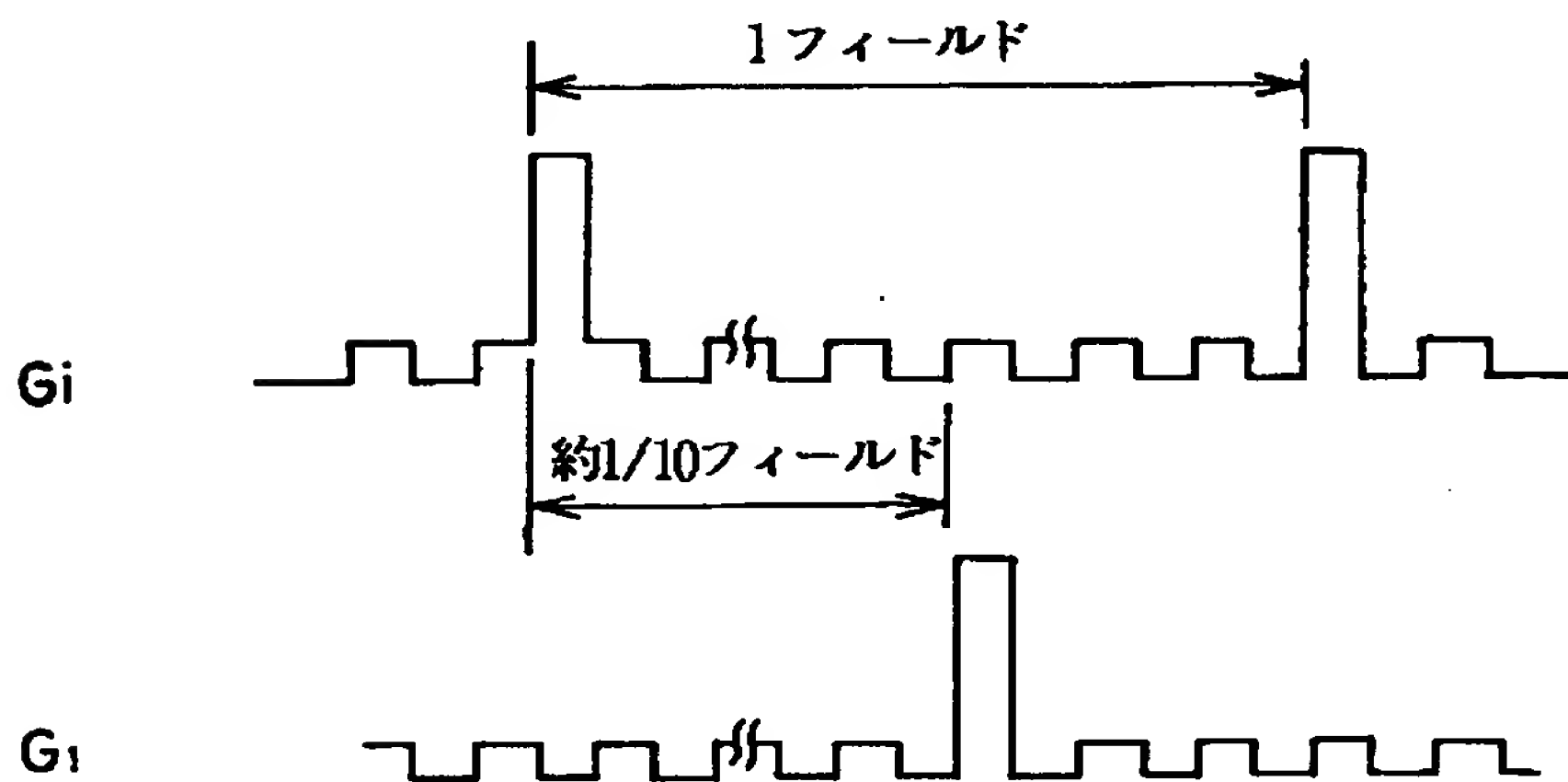
【図 2】



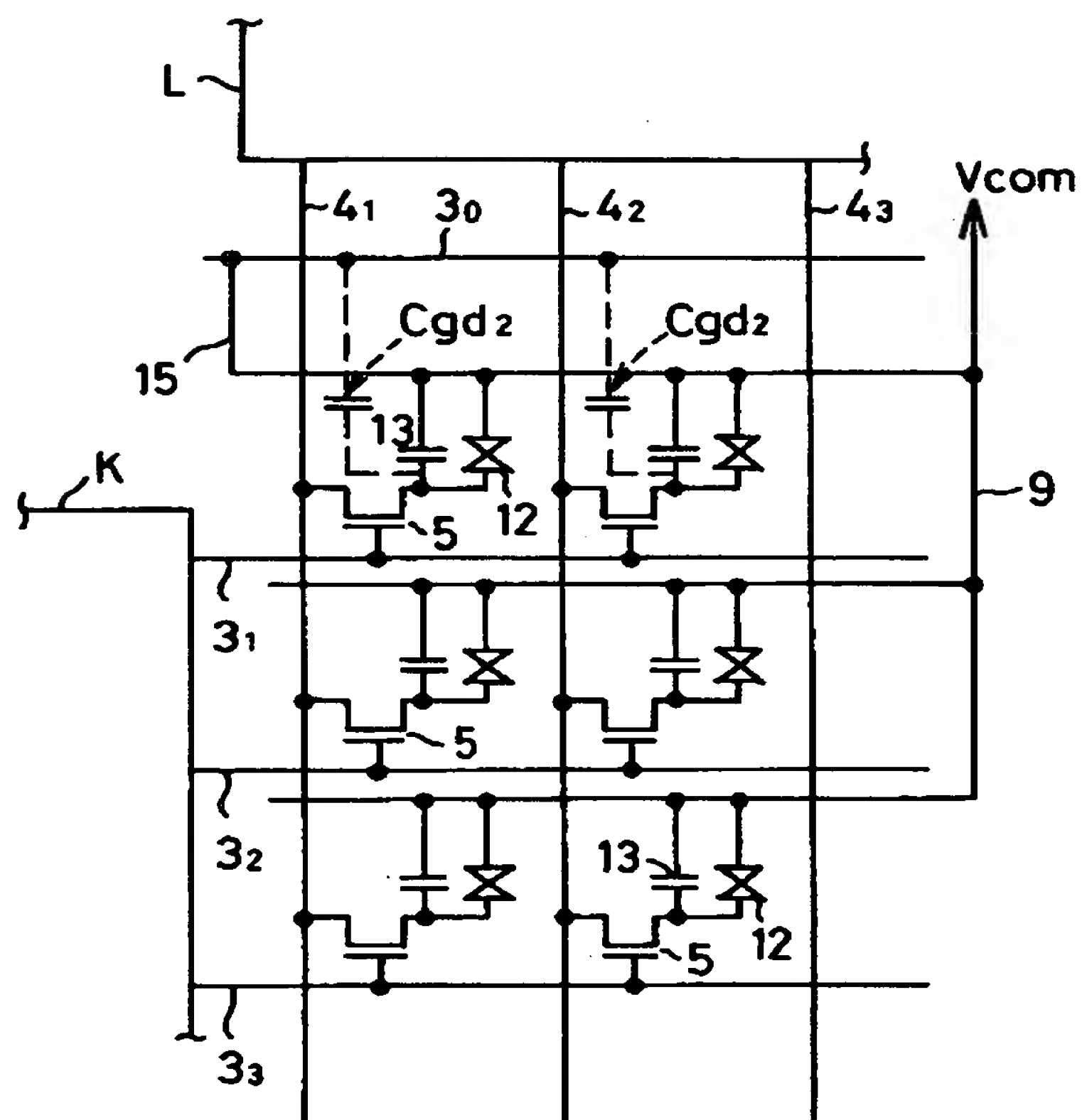
【図3】



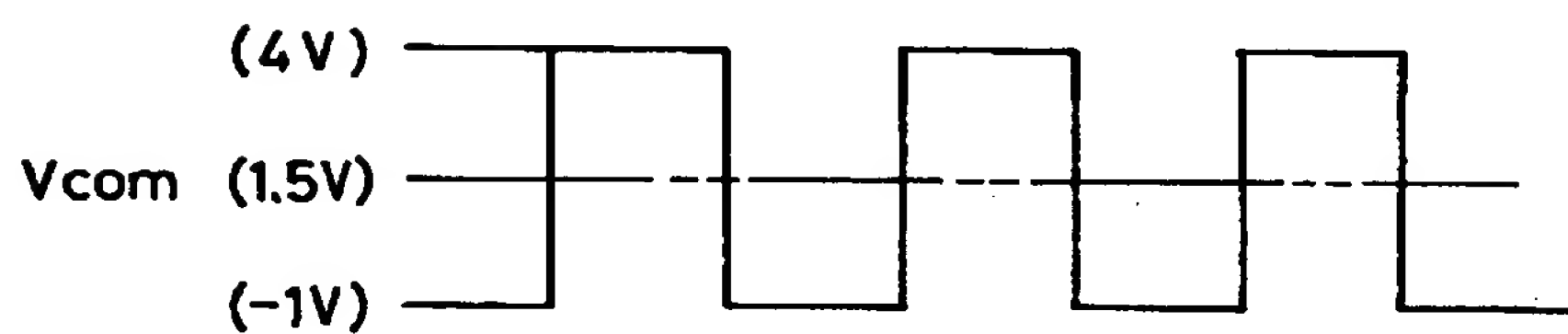
【図4】



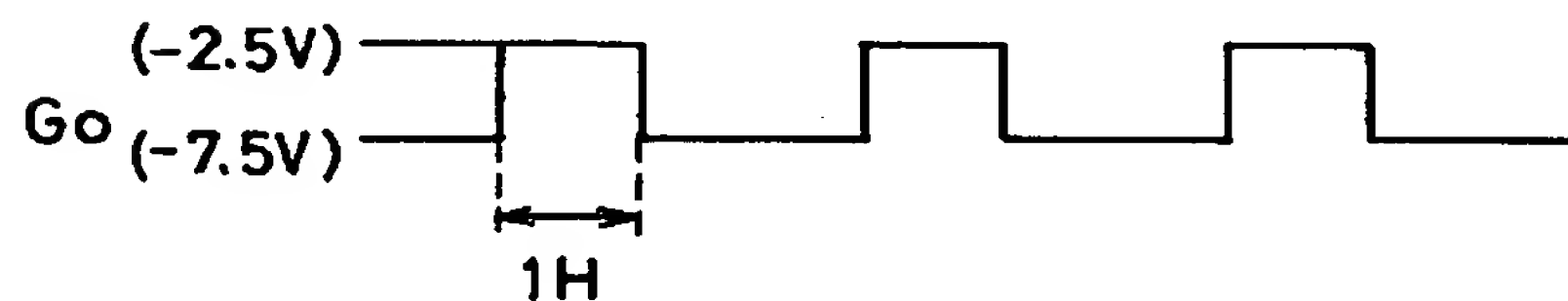
【図 5】



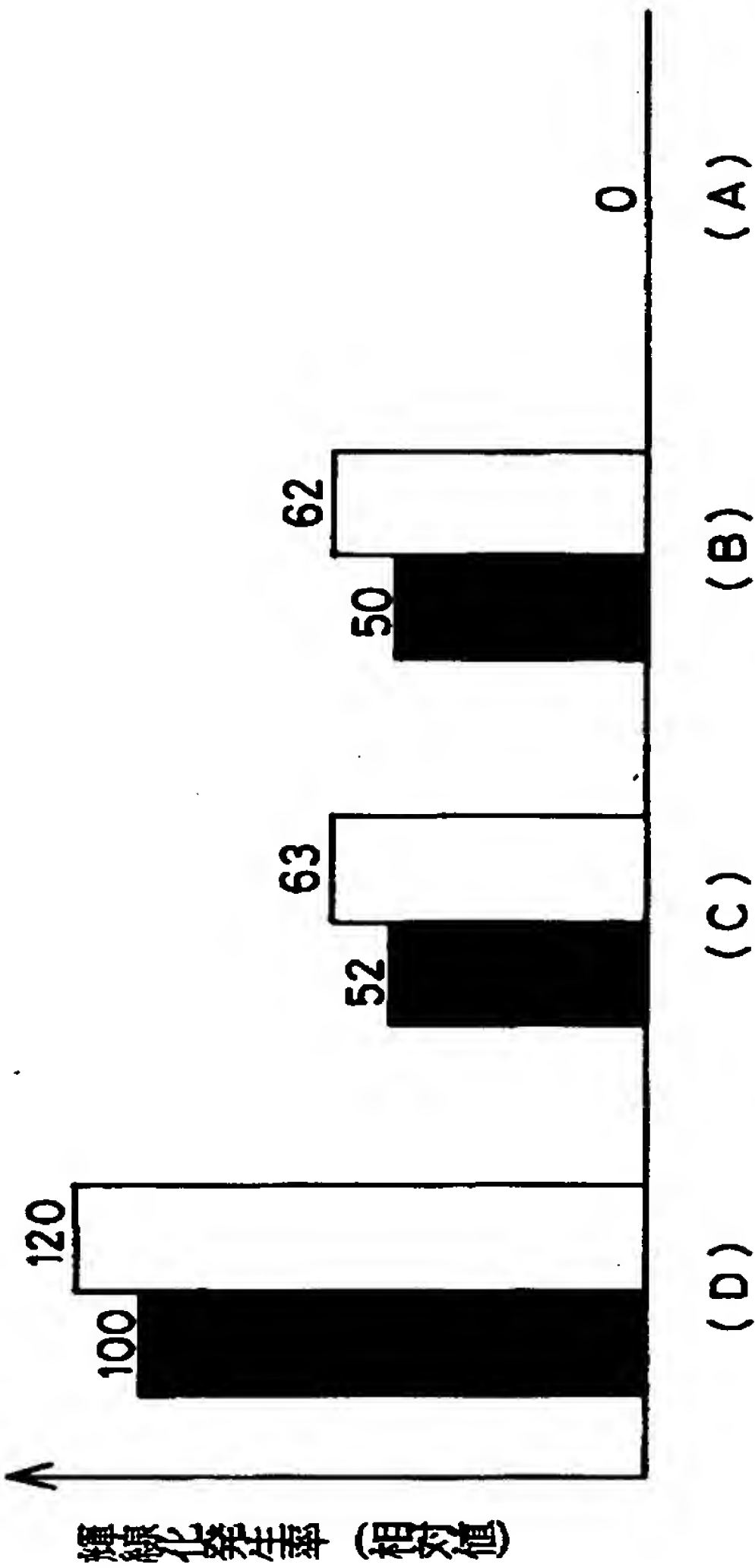
【図 6】



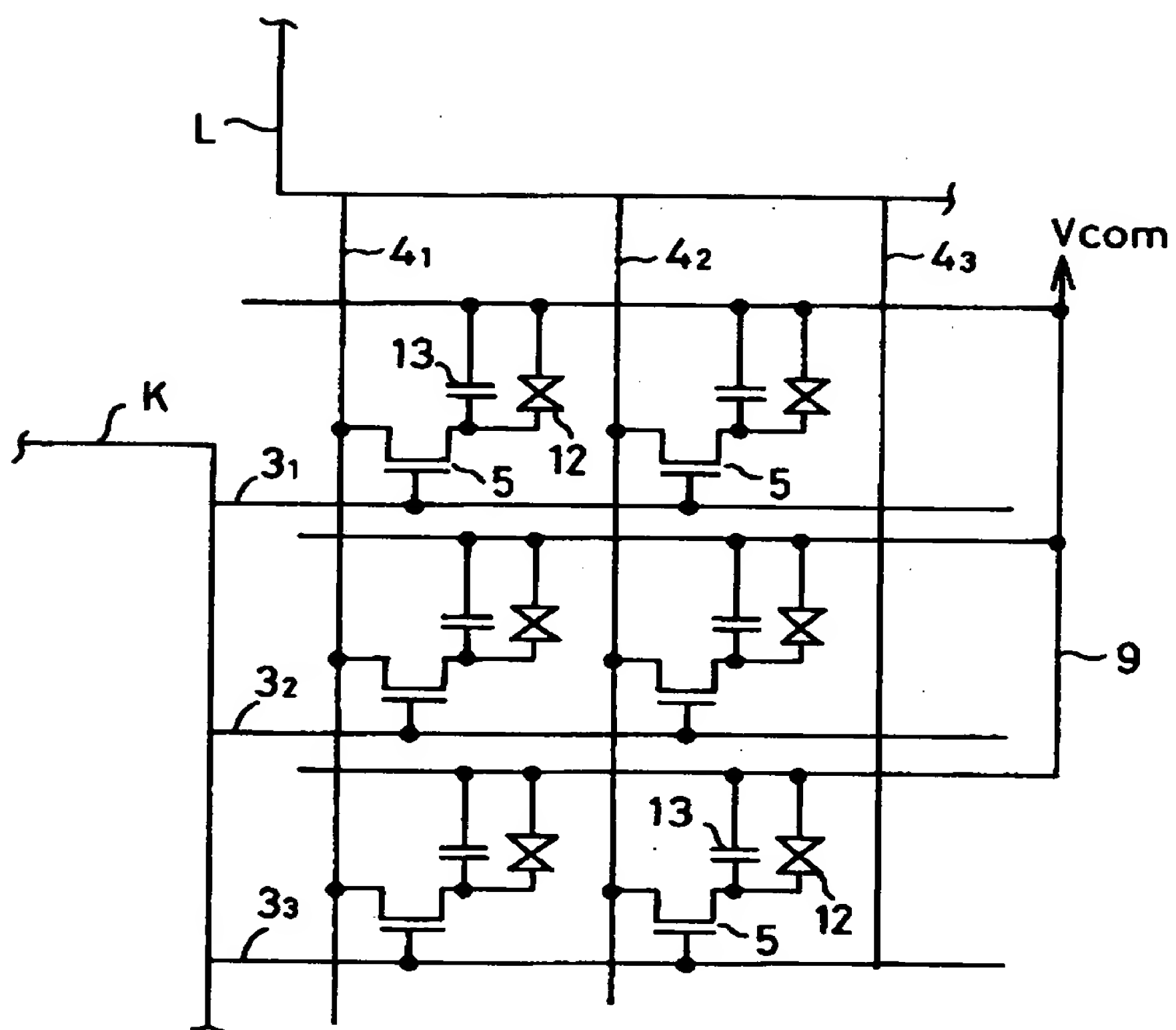
【図 7】



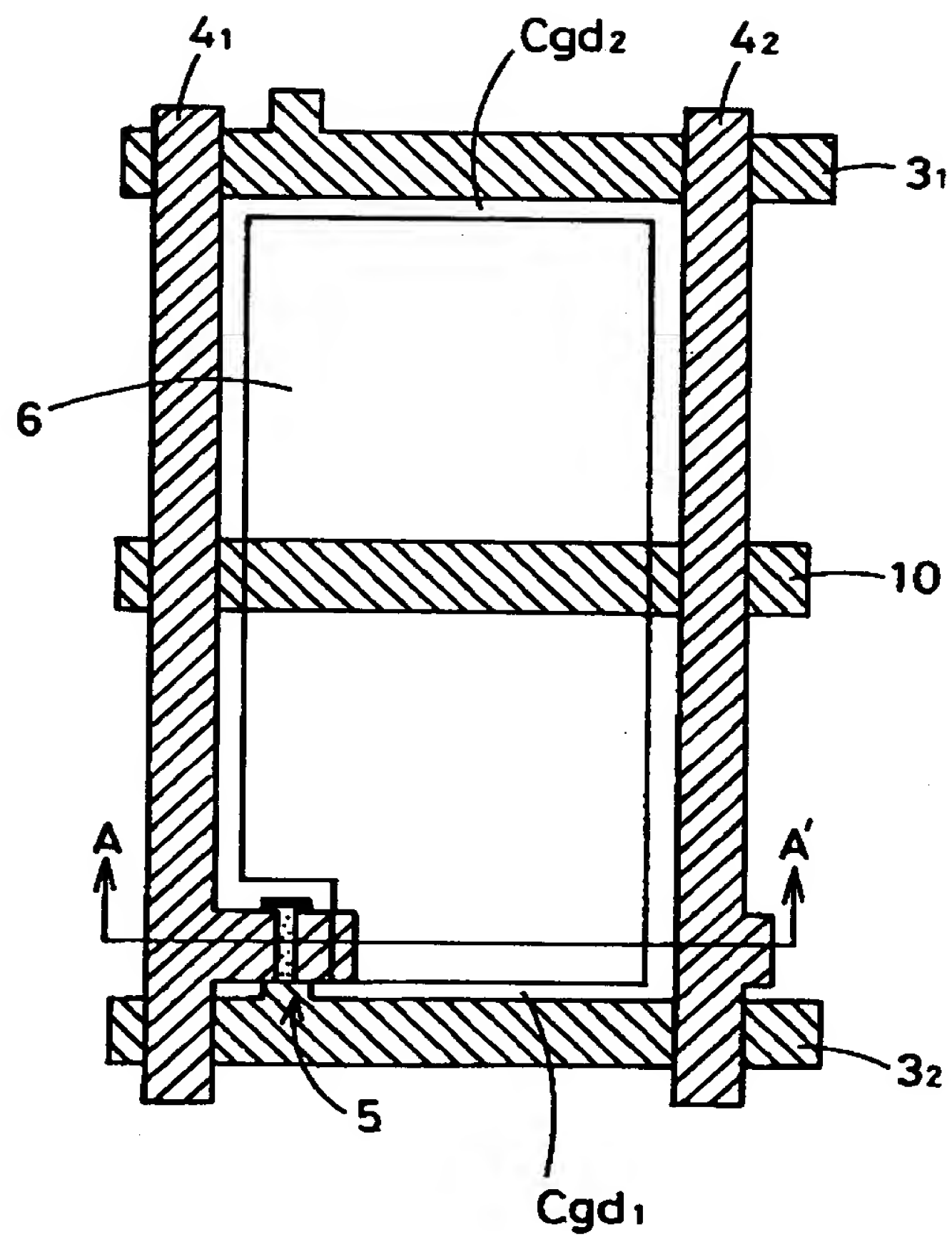
【図 8】



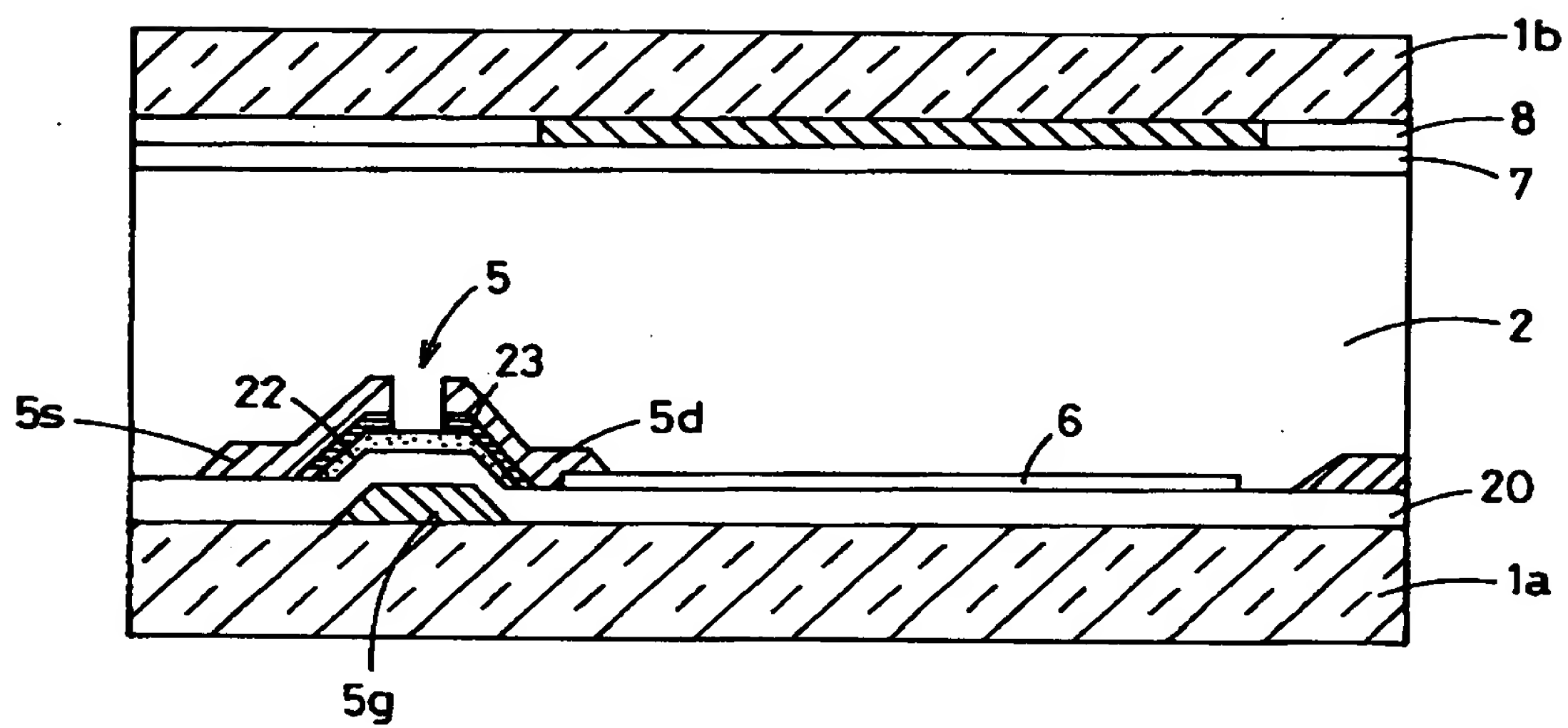
【図9】



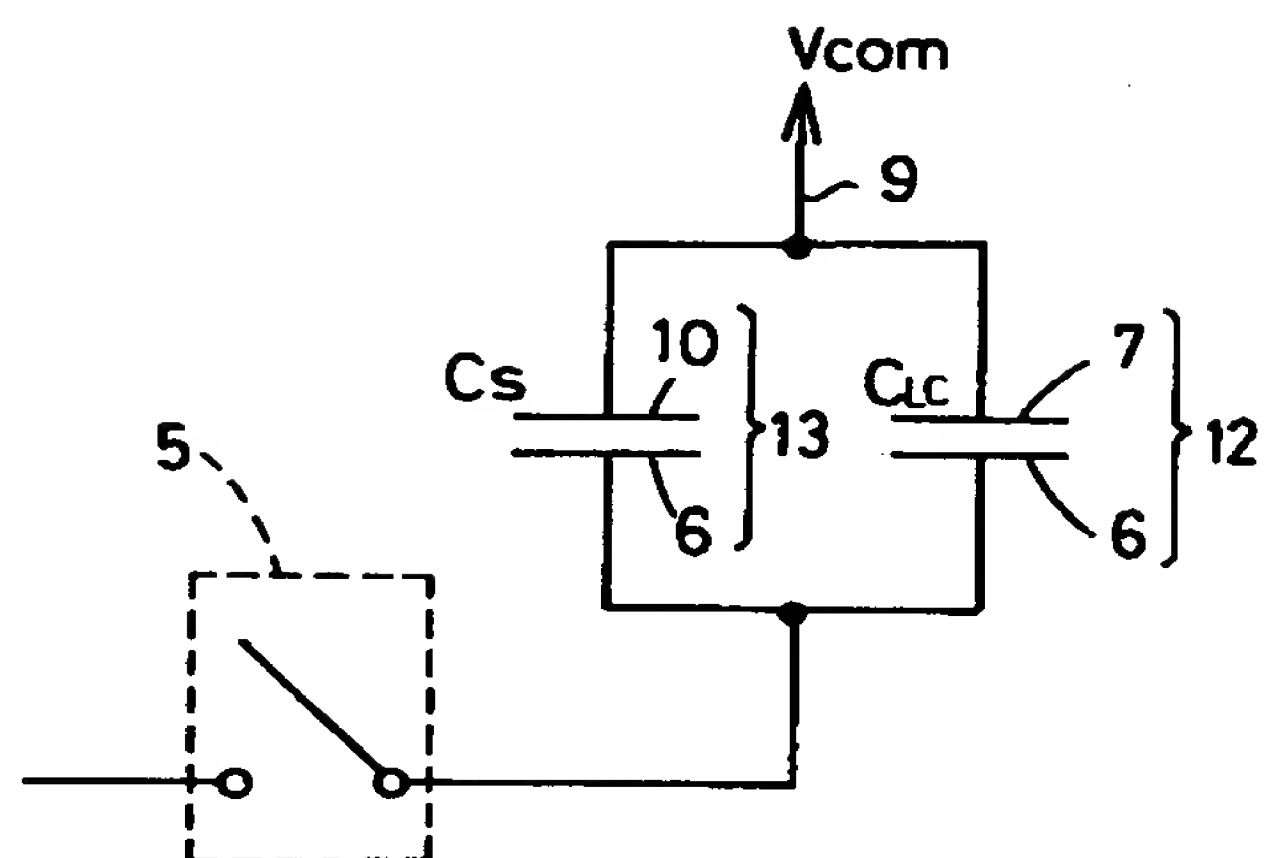
【図 10】



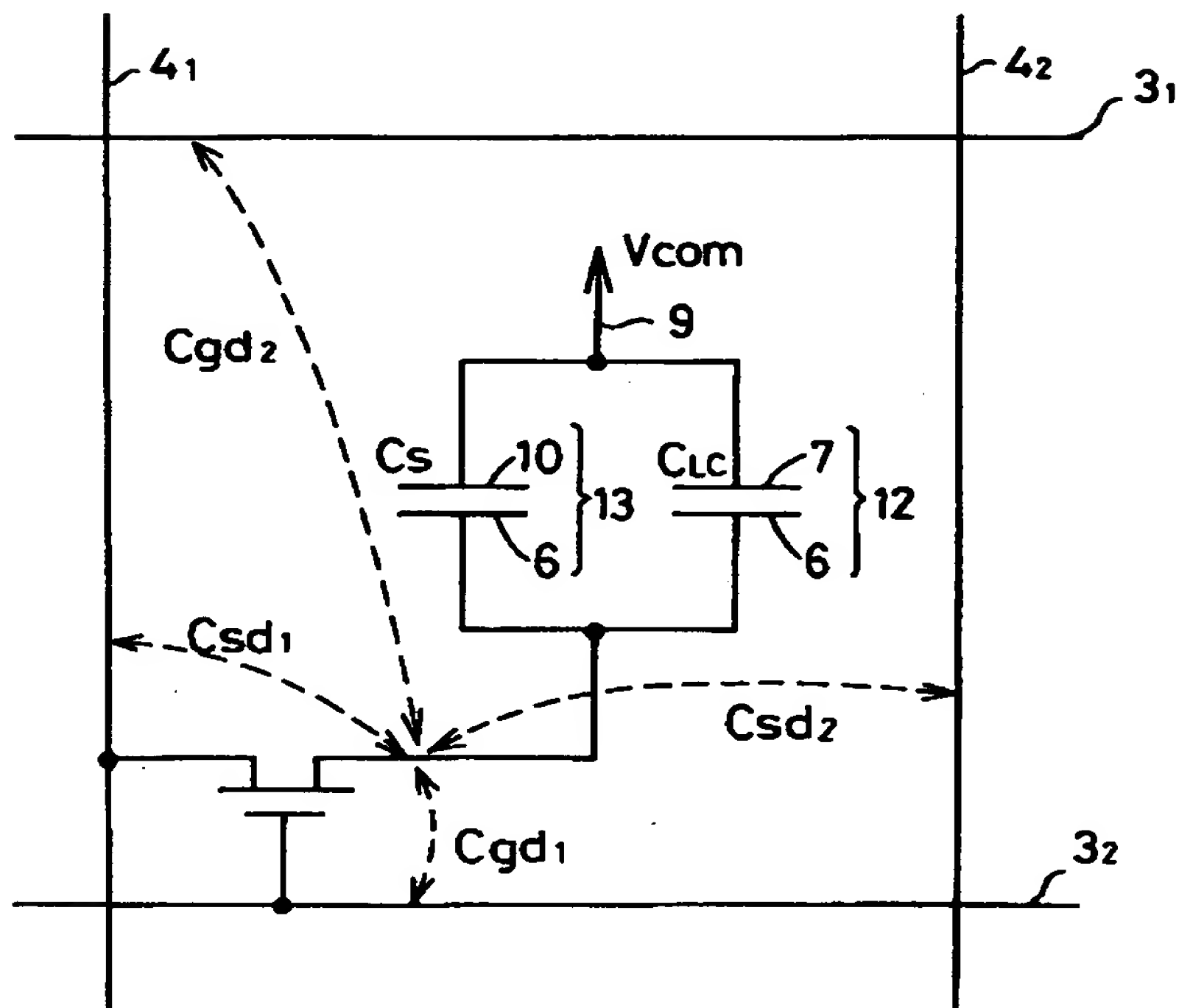
【圖 1 1】



【図 1.2】



【図 1.3】



【書類名】 要約書

【要約】

【課題】 アクティブマトリックス型の液晶表示装置において、各画素について生じる寄生容量がいずれの位置でも均等に生じるようにして、特定部分の画素が輝線化等するなどして表示品位を損なう等の不都合が生じないようにする。

【解決手段】 走査信号 3_1 , 3_2 , ...の走査開始側に位置する最端部の走査配線 3_1 の外側には、容量形成用のダミー走査配線 3_0 が配置されている。

【選択図】 図1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005049

【住所又は居所】

大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】

シャープ株式会社

【代理人】

申請人

【識別番号】

100086737

【住所又は居所】

大阪府大阪市北区浪花町13番38号 千代田ビル

北館 岡田 和秀特許事務所

【氏名又は名称】

岡田 和秀

特平 8-100073

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社